

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252654

(43)Date of publication of application : 09.09.1994

(51)Int.Cl. H03D 13/00

(21)Application number : 05-056410 (71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

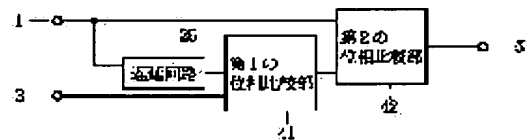
(22)Date of filing : 23.02.1993 (72)Inventor : ISHIHARA NOBORU

(54) DATA SIGNAL PHASE COMPARATOR CIRCUIT

(57)Abstract:

PURPOSE: To prevent a DC level of an output waveform from being largely fluctuated by a code pattern even when mutual phase comparison of digital code signals is implemented.

CONSTITUTION: An input signal fed to an input terminal 1 is delayed by a delay circuit 25 and a phase difference of the delay signal delayed at the delay circuit 25 and a phase of the input signal applied to an input terminal 3 are compared by a 1st phase comparator section 41 and a phase difference of its output and a phase of the input signal fed to the input terminal 1 are compared by a 2nd phase comparator section 42. Thus, a phase difference component generated in the 1st phase comparator section 41 and depending on the pattern of the input signal is cancelled in the 2nd phase comparator section 42.



LEGAL STATUS

[Date of request for examination] 28.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3196949

[Date of registration] 08.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-252654

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁵

H 0 3 D 13/00

識別記号

庁内整理番号

A 7350-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 10 頁)

(21)出願番号 特願平5-56410

(22)出願日 平成5年(1993)2月23日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 石原 昇

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

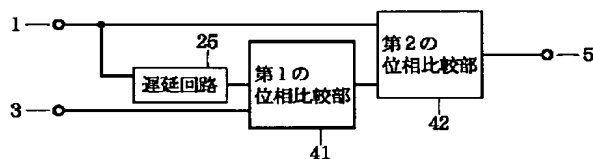
(74)代理人 弁理士 小林 将高

(54)【発明の名称】 データ信号位相比較回路

(57)【要約】

【目的】 デジタル符号信号同士の位相比較動作を行っても符号ボタンにより出力波形の直流レベルが大きく変動しないようにする。

【構成】 入力端子1に印加された入力信号を遅延回路で遅延させ、この遅延回路25により遅延された遅延信号と入力端子3に印加された入力信号との位相差を第1の位相比較部41で比較し、その出力と入力端子1に印加される入力信号との位相差を第2の位相比較部42で比較することにより、第1の位相比較部41で発生した入力信号ボタンに依存した位相差成分は第2の位相比較部42でキャンセルされることを特徴としている。



1

【特許請求の範囲】

【請求項1】 2つの入力端子を有し、これらの2つの入力端子の一方に印加された入力信号を遅延させる遅延回路と、この遅延回路により遅延された遅延信号と、前に2つの入力端子の他方に印加された入力信号との位相差を出力する第1の位相比較部と、この第1の位相比較部の出力と前記入力端子の一方に印加された入力信号との位相差を出力する第2の位相比較部とを具備したことを特徴とするデータ信号位相比較回路。

【請求項2】 第1、第2のトランジスタのベース端子を第1の入力信号端子対とし、各々のエミッタ端子は共通に接続され、それぞれのコレクタ端子は第1、第2のインピーダンスを介して高電位電源端子に接続され、第3のトランジスタのベース端子は前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のインピーダンスを介して高電位電源端子に接続され、エミッタ端子は第4のトランジスタのエミッタ端子に接続され、この第4のトランジスタのベース端子は前記第1のトランジスタのベース端子に接続され、コレクタ端子は前記第2のインピーダンスを介して高電位電源端子に接続され、第5、第6のトランジスタのベース端子を第2の入力信号端子対とし、各々のエミッタ端子は第1の定電流源回路を介して低電位電源端子に接続され、第5のトランジスタのコレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、第6のトランジスタのコレクタ端子は前記第3のエミッタ端子に接続され、第7のトランジスタのベース端子は遅延回路を介して前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのベース端子は遅延回路を介して前記第1のトランジスタのベース端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、コレクタ端子は前記第3のトランジスタのエミッタ端子に接続され、第3、第4のトランジスタの各々のコレクタ端子を出力信号端子対としたことを特徴とするデータ信号位相比較回路。

【請求項3】 第7のトランジスタのエミッタ端子が第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのエミッタ端子が第3の定電流源回路を介して低電位電源端子に接続され、第3のインピーダンス素子が第7、第8のトランジスタ間に接続されていることを特徴とする請求項2に記載のデータ信号位相比較回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、位相比較信号として従来の正弦波等の繰り返し信号だけでなく、繰り返しパタンの信号とならないデジタル符号を入力信号として用いてもデータの符号パタンに大きく依存せず安定な位相

2

差出力を得ることができるデータ信号位相比較回路を提供するものである。

【0002】

【従来の技術】位相比較回路は、2つの信号の位相差を検出し、その結果を出力する回路で、位相同期回路の、位相同期をとるための制御回路として多く用いられている。特にデータ伝送システムでは、データの識別・タイミング信号（クロック信号）抽出を行う位相同期回路に用いられており、高精度な動作が要求される。また、単に繰り返し信号に対してのみ位相比較を行うだけでなく、マーク率の異なるランダムなデータ信号に対しても、高精度な位相比較出力が得られる構成が要望されている。

【0003】8図は、一般に多く用いられている従来の位相比較回路であって、1、2は差動用信号の入力端子、3、4も差動用信号の入力端子、5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11～16はトランジスタ、21、22は抵抗、23は定電流回路である。本回路は、入力端子1、2間に加えらる信号と入力端子3、4間に加えらる信号の位相差を検出しその結果を出力端子5、6より得るものである。なお、R1、R2は抵抗、Vcc、Veeは電源電圧を示す。

【0004】図9は、図8の従来回路の動作を説明するための回路シミュレーション結果であって、(a)～(c)の3つの特性図は各々横軸に時間(ns)、縦軸に電圧(v)をとり各部の動作波形を示すものである。まず(a)図は、入力信号として同じ位相の2つの信号を入力した時の動作波形を示すもので、31、32は図8の入力端子1、2での電圧波形を示し、34a、34bは入力端子3、4での電圧波形を示し、35aは出力端子5、6間の差電圧の波形を示し、36aは波形35aの直流レベルを示すものである。(b)図は、入力信号として90度の位相差を持つ2つの信号を入力したときの動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33b、34bは入力端子3、4での電圧波形を示し、35bは出力端子5、6間の差電圧波形を示し、36bは波形35bの直流レベルを示すものである。(c)図は、入力信号として180度の位相差を持つ2つの信号を入力したときの動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33c、34cは入力端子3、4での電圧波形を示し、35cは出力端子5、6間の差電圧波形を示し、36cは波形35cの直流レベルを示すものである。

【0005】図9を用いて図8の従来回路の動作を説明する。図9の(a)図に示すように入力信号として同位相の信号が入力された場合(31と33a、32と34aが同相)、まず図において入力端子1、3がハイの場合、トランジスタ11と12がオン状態となり抵抗21に電流が流れ出力端子5はローレベル、入力端子6はハ

イレベル状態となる。したがって、出力端子5から出力端子6の電圧を引いた差電圧は波形35aに示すようにローレベルとなる。この状態から、同時に入力端子1と3の電位がローレベルに移移（同位相で変化）すると、トランジスタ13と16がオン状態となり、出力端子5はローレベル、出力端子6はハイレベル状態が維持されることになる。

【0006】これに対して（b）図に示すように入力端子1の電位がローレベルに移移した後、入力端子3の電位がローレベルに移移する場合は次のようになる。まず、入力端子1の電位がローレベルに移移するとトランジスタ12がオン状態となり、出力端子5と6の状態が反転することになる。さらにその後、入力端子3の電位がローレベルに移移するするとトランジスタ13と16がオン状態となり、再度出力が反転することになる。2つの入力信号として各々の位相差が90度の場合は、

（b）図のように出力として入力信号の2倍の繰り返し信号が得られることになる。また、任意の位相差に対しては位相差に応じて出力波形のハイ、ローレベルを占める時間の割合が変化することになる。

【0007】（c）図は、入力信号として逆位相の信号が入力された場合（31と33c、32と34cが逆相）、まず図8において入力端子1がハイ、入力端子3がローの場合、トランジスタ14と16がオン状態となり抵抗22に電流が流れ、出力端子5はハイレベル、出力端子6はローレベル状態となる。この状態から、同時に入力端子1と3の電位が逆転（逆位相で変化）するとトランジスタ12と15がオン状態となり、出力端子5はハイレベル、出力端子6はローレベル状態が維持されることになる。

【0008】以上説明したように従来の位相比較回路では、入力される2つの信号の位相差に応じて異なった出力波形を生じ、出力波形により入力信号の位相差を知ることができる。なお、一般に本位相比較回路の出力に低域ろ過回路を付加すると36a～36cに示す位相差に応じた直流成分を取り出すことができ、この直流信号を位相差信号として用いることが多い。

【0009】しかし、図8の従来回路では、入力信号としてデジタル符号データを用いた場合に出力波形の直流レベルが位相差以外にデータボタンに応じて大きく変動してしまう問題がある。

【0010】図10は図9の1、0の繰り返し信号に対しゼロ連続データを加えた1、0、0、0、の繰り返し信号を入力したときの動作波形の回路シミュレーション結果を示すものである。"."記号のついた各々の波形特性は、図9の場合と対応させて記述している。

（a）、（b）、（c）の出力波形（35a'～35c'）から分かるように同符号連続期間中（ゼロの3連続期間中）は、出力レベルが固定されてしまうため36a'～36c'の示す直流レベルは、図9の36a～3

6cに対して大きくずれてしまっている。

【0011】図11は2つの入力信号の位相差と位相比較出力の平均直流レベルの関係を示したものである。この図から分かるように同符号連続数の増大に伴って直流レベルが大きく変動してしまっていることが分かる。同一位相差の入力信号であってもデータボタンによって出力の直流レベルが変化してしまう。

【0012】図12は、データ同士の位相比較により位相同期回路を構成しているデータ伝送システム用の従来の識別・タイミング信号抽出構成例を示したものである。51は入力データ信号端子、52は出力信号端子、53はタイミング信号（クロック信号）出力端子、54はデータの論理状態（1、0）を判断する識別回路、55は位相比較回路、56は低域ろ過回路（LPF：ローパスフィルタ）、57は電圧制御発振回路（VCO）である。本回路は入力データから、クロック周波数信号を抽出し、そのクロック信号を用いてデータの論理状態を判別し、その結果を出力するものである。その動作は、まず、識別回路54の入出力データ間の位相差を位相比較回路55で測定し、LPF56によりVCO57の発振周波数の制御電圧に変換し、識別回路54の入出力データ間の位相差が一定になるようVCO57の発振周波数を負帰還により自動制御するものである。これにより、入出力信号データから最適なクロック信号の抽出と入力データに対する識別・再生動作を同時に得ることができる。

【0013】

【発明が解決しようとする課題】しかし、図8の従来の位相差比較回路を用いると、入力データボタンにより、位相差が同じであっても位相比較回路55の出力が変動してしまうことになる。特に大きな同符号連続を発生する可能性のある方式、システムでは変動量が大きくなり、場合によっては、位相同期状態がはずれてビットエラーを発生してしまう。

【0014】このため、図8の従来回路をデジタル符号データ同士の位相比較回路として用いると大きな同符号連続の生じる可能性のあるシステムでは安定な位相比較出力を得られない問題を抱えている。

【0015】そこで、本発明の目的とすることは、デジタル符号信号同士の位相比較動作を行っても符号ボタンにより出力波形の直流レベルが大きく変動してしまうことのないデータ信号位相比較回路を提供することにある。

【0016】

【課題を解決するための手段】本発明にかかるデータ信号位相比較回路は、2つの入力端子を有し、これらの2つの入力端子の一方に印加された入力信号を遅延させる遅延回路と、この遅延回路により遅延された遅延信号と、前記2つの入力端子の他方に印加された入力信号との位相差を出力する第1の位相比較部と、この第1の位

10

20

30

40

50

相比較部の出力と前記入力端子の一方に印加された入力信号との位相差を出力する第2の位相比較部とを具備したものである。

【0017】さらに回路構成として、第1、第2のトランジスタのベース端子を第1の入力信号端子対とし、各々のエミッタ端子は共通に接続され、それぞれのコレクタ端子は第1、第2のインピーダンスを介して高電位電源端子に接続され、第3のトランジスタのベース端子は前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のインピーダンスを介して高電位電源端子に接続され、エミッタ端子は第4のトランジスタのエミッタ端子に接続され、この第4のトランジスタのベース端子は前記第1のトランジスタのベース端子に接続され、コレクタ端子は前記第2のインピーダンスを介して高電位電源端子に接続され、第5、第6のトランジスタのベース端子を第2の入力信号端子対とし、各々のエミッタ端子は第1の定電流源回路を介して低電位電源端子に接続され、第5のトランジスタのコレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、第6のトランジスタのコレクタ端子は前記第3のエミッタ端子に接続され、第7のトランジスタのベース端子は遅延回路を介して前記第2のトランジスタのベース端子に接続され、コレクタ端子は前記第1のトランジスタのエミッタ端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのベース端子は遅延回路を介して前記第1のトランジスタのベース端子に接続され、エミッタ端子は第2の定電流源回路を介して低電位電源端子に接続され、コレクタ端子は前記第3のトランジスタのエミッタ端子に接続され、第3、第4のトランジスタの各々のコレクタ端子を出力信号端子対としたものである。

【0018】さらに、第7のトランジスタのエミッタ端

$$\phi(Vol) = \phi(Vib) - \phi(Vic) + \phi(Vs)$$

となる。ここで、 ϕ 関数は、信号の位相成分を示し、 $\phi(Vs)$ は、図8の従来回路で説明した入力信号データボタンに依存して出力される位相差成分を示している。

次に、第2の位相比較部42の出力を $\phi(Vo2)$ とす

$$\begin{aligned}\phi(Vo2) &= \phi(Via) - \phi(Vol) + \phi(Vs) \\ &= \phi(Via) - \phi(Vib) + \phi(Vic) - \phi(Vs) + \phi(Vs) \\ &= (\phi(Via) - \phi(Vib)) + \phi(Vic)\end{aligned}$$

となる。ここで、入力信号のデータボタンに依存して出力される位相差成分 $\phi(Vs)$ は、2回の位相比較動作によりキャンセルされ、位相比較の最終出力として、入力信号のデータボタンに依存しない出力が得られる。なお、固定位相遅延量 $\phi(Vic)$ が、プラスとなるがデータボタンに依存しないため比較出力として問題はない。

【0025】図2は、より具体的な本発明の実施例であって、1、2は差動用信号の入力端子で第1の入力信号

＊子が第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのエミッタ端子が第3の定電流源回路を介して低電位電源端子に接続され、第3のインピーダンス素子が第7、第8のトランジスタ間に接続されているものである。

【0019】

【作用】本発明においては、第1の位相比較部で発生した入力信号のボタンに依存して出力される位相差成分は、第2の位相比較部での位相比較動作によりキャンセルされ、最終出力として入力信号のデータボタンに依存しない出力が得られる。

【0020】また、本発明の回路構成では、第1の入力信号端子対間に加えられる入力信号と、第2の入力信号端子対間に加えられる入力信号の位相差が検出され、その結果が出力端子に得られる。

【0021】

【実施例】図1は本発明の実施例であって、1と3はそれぞれ入力端子を、5は出力端子を、41、42は図8で示したような従来の位相比較回路を用いた第1、第2の位相比較部である。この動作は、入力端子1に入力された入力信号の固定遅延信号と入力端子3に入力された入力信号との位相比較を第1の位相比較部41で行い、次にその第1の位相比較部41の出力と入力に入力された入力信号との位相比較を第2の位相比較部42で行うことにより、入力信号のデータボタンに依存しない入力端子1、3間の位相差を出力として得るものである。

【0022】その原理は、入力端子1と3の信号を各々Via、Vibとし、遅延回路25の出力をVicとすると、まず、第1の位相比較部41の位相出力 $\phi(Vo1)$ は、

【0023】

【数1】

(1)

＊ると

【0024】

【数2】

端子対を構成する。3、4も差動用信号の入力端子で第2の入力信号端子対を構成する。5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11～18は第1～第8のトランジスタ、21、22は第1、第2の抵抗、23、24は第1、第2の定電流回路、25は遅延回路、28はレベルシフト回路である。なお、以下では第1、第2、…等は使用しないで説明する。

【0026】図2に示す回路は、入力端子1、2間に加

えられる入力信号と入力端子3、4間に加えられる入力信号の位相差を検出し、その結果を出力端子5、6より得るものである。図2の構成は、前述の図1の構成をより具体的に、より簡略にしたものである。従来有位相比較の機能は、図8の従来回路の他に従来の単純な差動増幅回路でも代用できる。そこで、図1において第1の位相比較部41の機能を差動回路の機能で代用することとして、図2の回路は図1をベースに構成している。

【0027】この差動動作による位相比較機能は、図2において、トランジスタ15、16よりなる差動回路出力とトランジスタ17、18よりなる差動回路の出力が減算するようにトランジスタ11、12の共通エミッタ端子、およびトランジスタ13、14の共通エミッタ端子に接続することにより実現している。

【0028】また、図8の従来回路とは、トランジスタ17、18と低電流源回路24およびレベルシフト回路28、遅延回路25が付加されている点が具体的に異なり、本構成はトランジスタ11、12、13、14、1*

$$\phi(Voa) = \phi(Vp) + \phi(Vs)$$

となる。

【0031】一方、位相比較部Bの動作は、入力端子1、2間の入力信号が一方の入力端子であるトランジスタ11、14と12、13のベース端子間に接続され、他方の入力端子対であるトランジスタ17と18には、入力端子1、2間の信号がレベルシフト回路28と遅延回路25を介して入力している。このため、出力としては、遅延回路25による位相遅延分と符号連続数に対応※

$$\phi(Voa) = \phi(Vp) + \phi(Vs)$$

となる。

【0033】ここで、位相比較部Bは、逆相で重ね合わせ差し引くように構成しているため、全体の回路の出力★

$$\begin{aligned}\phi(Vo) &= \phi(Voa) - \phi(Vob) \\ &= \phi(Vp) - \phi(Vd)\end{aligned}$$

となる。この(5)式から分かるように図2の実施例の出力としては遅延回路25による位相差成分 $\phi(Vd)$ を基準とした2つの入力信号の位相差 $\phi(Vp) - \phi(Vd)$ のみが出力として得られ、符号連続数に対応したレベル変動成分 (Vs) はキャンセルされる。

【0035】図3は、図2の実施例の回路シミュレーション結果であって、(a)～(c)の3つの特性図は各々横軸に時間、縦軸に電圧をとり各部の動作波形を示すものである。図9の従来回路の場合と同様に、まず、(a)の図は、入力信号として同じ位相の2つの信号を入力した時の動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33a、34aは、入力端子3、4での電圧波形を示し、37aは出力端子5、6間の差電圧の波形を示し、38aは37a波形の直流レベルを示すものである。(b)の図は、入力信号として90度の位相差を持つ2つの信号を入力した時の

* 5、16で構成される従来と同じの位相比較部Aと、トランジスタ11、12、13、14、17、18で構成される位相比較部42の2つの位相比較部AとBを合成した構成としても捉えることができる。その動作は、図1の動作と同様に説明することができるが、2つの位相比較部41、42の合成動作として図8の従来構成と対比して次のように説明することもできる。

【0029】まず、位相比較部Aのみの動作を考えるとこの部分は図8の従来構成と同じであるので従来回路と同じ動作を行う。即ち、2組の入力端子に位相差の異なるデジタル符号データが入力されたとすると、その出力としては、従来回路の動作の部分で既に説明したように2組の入力信号の位相差成分と符号連続数に対応したレベル変動成分の和が出力端子5、6間に出力されることになる。位相差成分を $\phi(Vp)$ 、符号連続成分を $\phi(Vs)$ とすると、出力 $\phi(Voa)$ は、

【0030】

【数3】

(3)

20※したレベル変動成分の和が出力端子5、6間に検出されることになる。遅延回路25により発生した位相差成分を $\phi(Vd)$ とすると符号連続数に対応したレベル変動成分は、位相比較部Aの場合と同じになるため、その出力 $\phi(Vob)$ は、

【0032】

【数4】

(4)

★ $\phi(Vo)$ は、(3)、(4)式より、

【0034】

【数5】

(5)

動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33b、34bは、入力端子3、4での電圧波形を示し、37bは出力端子5、6間の差電圧の波形を示し、38bは37b波形の直流レベルを示すものである。(c)の図は、入力信号として180度の位相差を持つ2つの信号を入力した時の動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33c、34cは、入力端子3、4での電圧波形を示し、37cは出力端子5、6間の差電圧の波形を示し、38cは37c波形の直流レベルを示すものである。このシミュレーションに際しては、遅延回路25の入出力端子間の位相差として90度を想定している。従って図3の(a)の特性の37aの出力は、前述したように2組の位相比較部A、Bの合成と考えられることから、従来回路の図9のシミュレーション特性の図9の(a)の35a出力と図9の(b)の35bの出力の差

が得られている。第8図(b)の37bの出力特性は、90度の位相差同士の差となるので、一定の直流レベルが出力されていることが分かる。図3の(c)の37cの出力特性は従来回路の図9のシミュレーション特性の図9の(c)の35c出力と図9の(b)の35bの出力の差が得られていることが分かる。このように図2の実施例は、遅延回路25の位相遅延を基準とした位相比較動作をする。

【0036】さらに図4は図3の1、0の繰り返し信号に対しゼロ連続データを加えた1、0、0、0の繰り返し信号を入力した時の動作波形の回路シミュレーション結果を示すものである。"'"記号のついた各々の波形特性は、図3の場合と対応させて記述している。図4の(a)、(b)、(c)の出力波形(38a'~c')から分かるように同符号連続期間中(ゼロの3連続期間中)でも、36a'~c')の示す出力の直流レベルは、図3とはほぼ同等(同位相時は、符号とは全く関係なく同じ直流レベルを示す)で、既に説明した従来回路のように符号により大きく直流レベルが変動していない。

【0037】図5は、2つの入力信号の位相差と位相比較出力の平均直流レベルの関係を示したものである。この図から明らかなように基準位相時(図3の場合は90度)には符号とは関係なく一定の直流レベルが出力されることと、基準位相に対して位相がづれた領域でも、図11との比較から分かるように符号による出力レベルの変動は小さい。

【0038】以上、図2の実施例では、位相比較部41、42の入力信号としてデジタル符号信号を用いても、符号に依存しない安定な位相比較出力を得ることができる。なお、図2の実施例においてレベルシフト回路28は、回路の構成の仕方、例えば、MOSトランジスタを用いて構成した場合等は省略できることもある。また、遅延回路25との接続関係が前後しても動作原理は変わらない。なお本実施例は、図8に示した従来の位相比較回路の組み合わせで図1の構成を実現する場合に比べ、素子数が少なくすみ、回路の小型化、高信頼化、低消費電力化に適している利点を有する。

【0039】図6は、本発明のさらに他の実施例であって、1、2は差動用信号の入力端子、3、4も差動用信号の入力端子、5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11~18は第1~第8のトランジスタ、21、22は第1、第2の抵抗、23、24、26は第1~第3の定電流回路、27は容量、28はレベルシフト回路である。図2の実施例回路とは、遅延回路として90度の遅延をトランジスタ17と18のエミッタ間に容量27を付加し実現している点が異なる。本回路の動作は、図2の実施例と同様に考えられるが、基準遅延信号はトランジスタ17と18のベース端子での入力信号に対し、各々のトランジスタのコレクタの電流対応を容量27により90度遅延させ

ることにより実現している。動作特性としては、図2の実施例と同様の原理により同等の特性を得られる。図6の実施例は、図2の実施例に対し極めて簡単な遅延回路を設けた構成であり、一般的な遅延回路を独立に用いる場合に比べ、回路の小型化、高信頼化、低消費電力化に適している利点を有する。

【0040】図7は、図12の従来の識別・タイミング抽出回路に対して、図1の本発明の位相比較回路を適用した例を示したものである。本発明の位相比較回路を用いることにより、位相比較出力のレベルがデータボタンに依存せず安定化されるため、データボタンが大きく変動しても位相同期状態を安定に維持し続けることができる。なお、図1の構成の代わりに、図2、6の構成も適用できることは勿論である。

【0041】なお、本発明の実施例として、バイポーラトランジスタ回路を例に説明を行ったが、他のMOSトランジスタ等の増幅素子、インピーダンス素子を適用しても同様の機能を実現できる。また、図1における位相比較回路は、図8で示した構成のほか、通常多く用いられている排他論理和回路や差動回路等による位相比較回路を適用することも可能である。作動回路、遅延回路についても様々な構成の回路を応用し適用できる。

【0042】

【発明の効果】本発明は以上述べたように遅延回路を設け、第1、第2の位相比較部で比較することにより、データのボタン依存性をキャンセンするようにしたので、デジタル符号を2つの位相比較入力信号として用いても、符号の状態とは関係なく安定な位相比較出力を得ることができる利点がある。

【図面の簡単な説明】

【図1】本発明のデータ信号位相比較回路の一実施例を示すブロック図である。

【図2】本発明のデータ信号位相比較回路の他の実施例を示す回路図である

【図3】図2の実施例の波形シミュレーション結果例を示す図である。

【図4】図2の実施例の波形シミュレーション結果例を示す図である。

【図5】図2の実施例入力信号の位相差と出力信号の直流レベルの関係を示した図である。

【図6】本発明のさらに他の実施例を示す回路図である。

【図7】本発明の適用例としての識別・タイミング抽出回路を示す図である。

【図8】従来の位相比較回路の一例を示す図である。

【図9】図8の従来回路の波形シミュレーション結果例を示す図である。

【図10】図8の従来回路の波形シミュレーション結果例を示す図である。

【図11】図8の従来回路の入力信号の位相差と出力信

10

20

30

40

50

11

12

号の直流レベルの関係を示した図である。

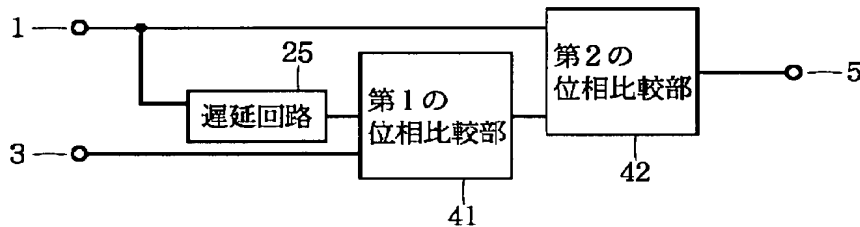
【図12】従来の位相比較回路の適用例としての識別・タイミング信号抽出回路である。

【符号の説明】

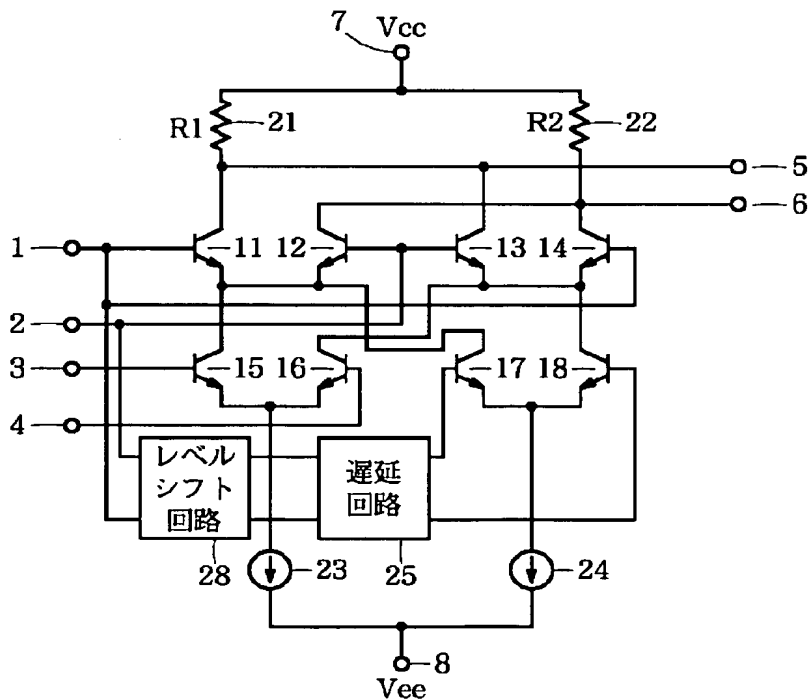
- 1 入力端子
2 入力端子
3 入力端子
4 入力端子
5 出力端子
6 出力端子
7 高電位電源端子
8 低電位電源端子
11 トランジスタ
12 トランジスタ
13 トランジスタ

- * 14 トランジスタ
15 トランジスタ
16 トランジスタ
17 トランジスタ
18 トランジスタ
21 抵抗
22 抵抗
23 定電流回路
24 定電流回路
25 遅延回路
26 定電流回路
27 容量
28 レベルシフト回路
41 第1の位相比較部
* 42 第2の位相比較部

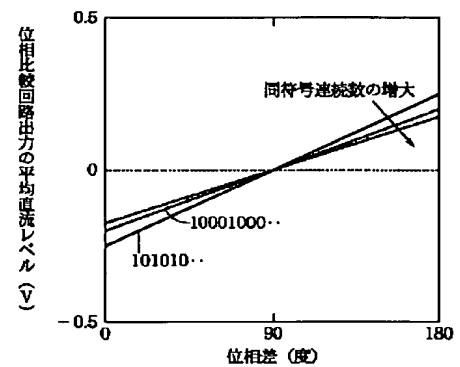
【図1】



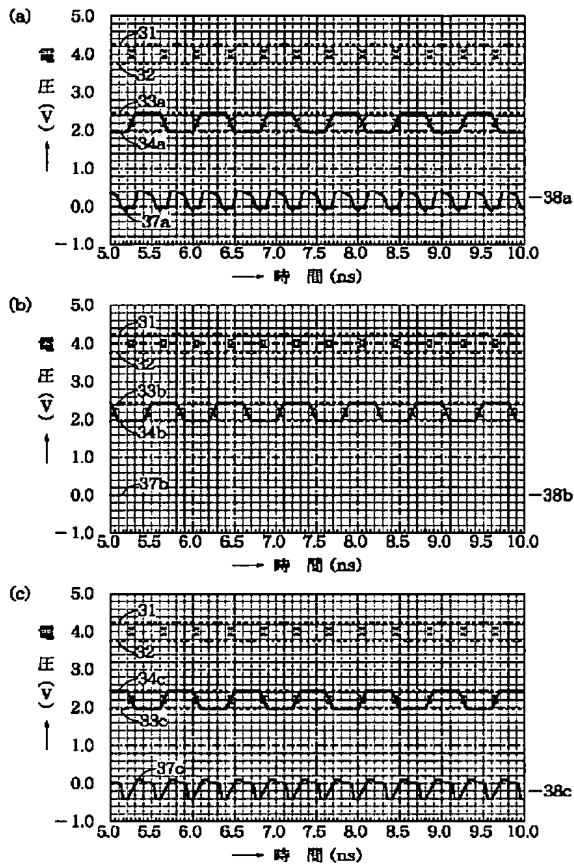
【図2】



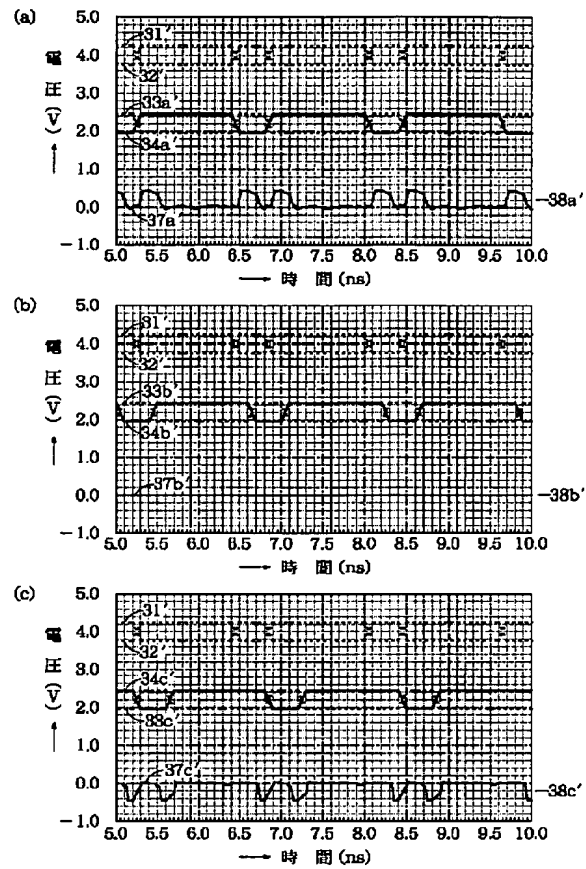
【図5】



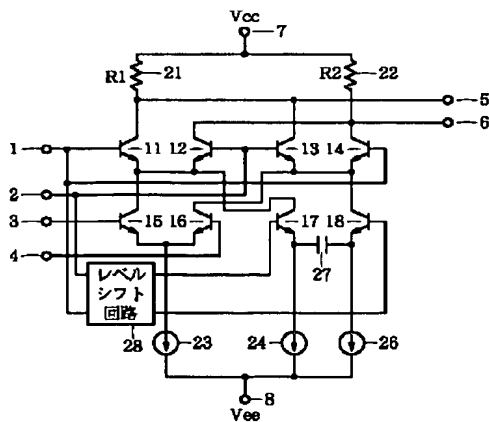
【図3】



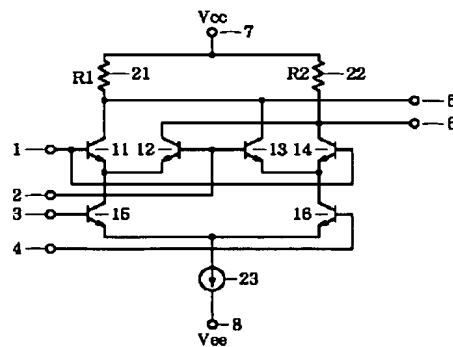
【図4】



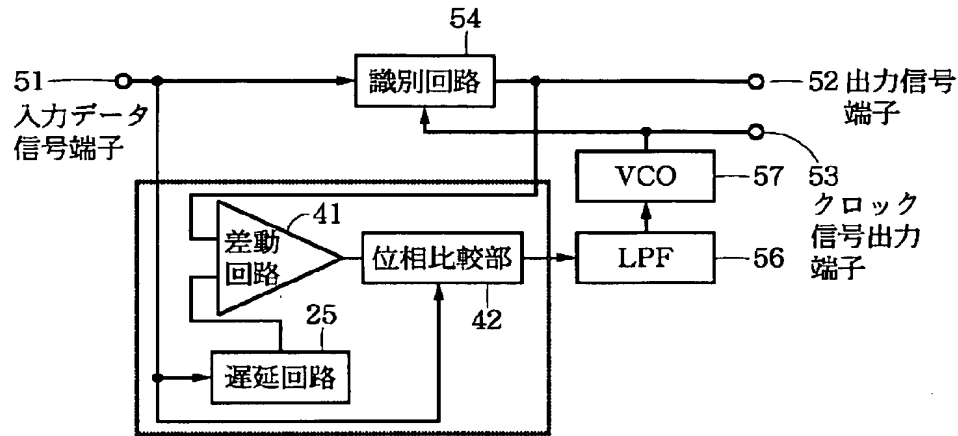
【図6】



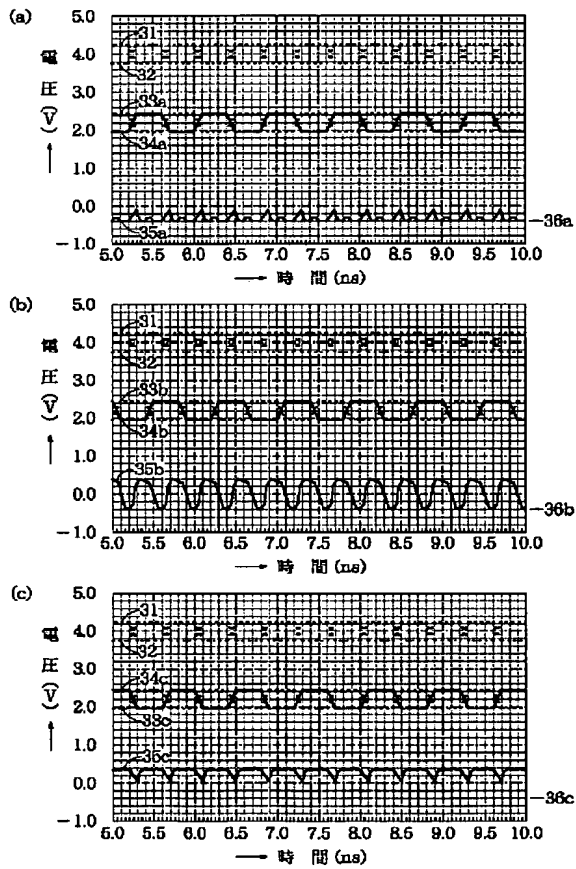
【図8】



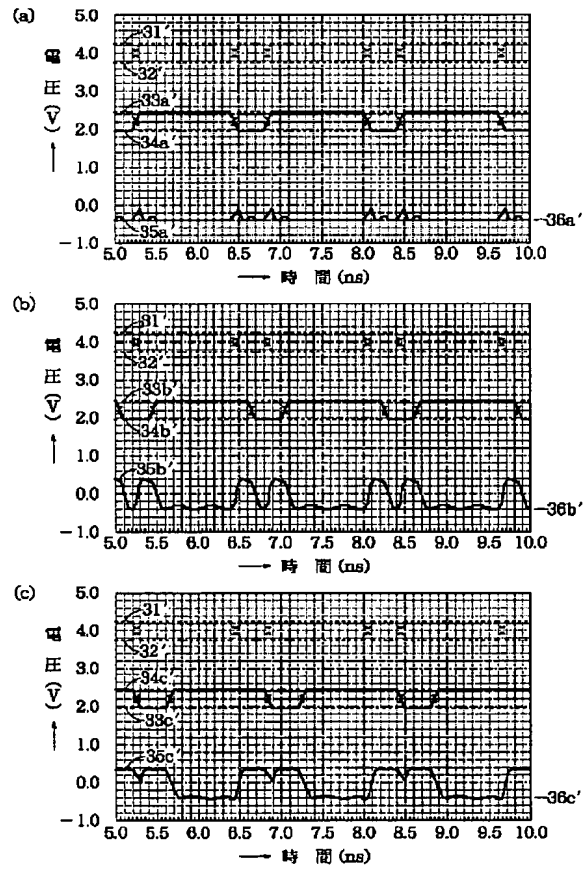
【図7】



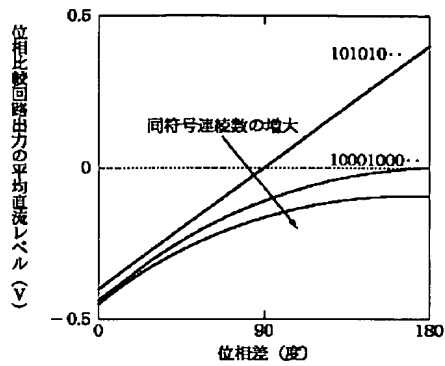
【図9】



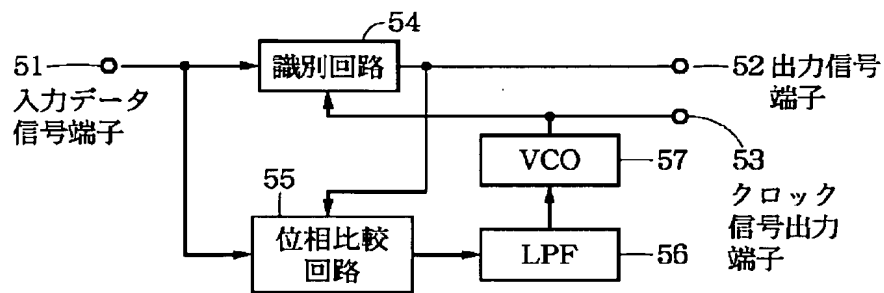
【図10】



【図11】



【図12】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成11年(1999)10月29日

【公開番号】特開平6-252654
 【公開日】平成6年(1994)9月9日
 【年通号数】公開特許公報6-2527
 【出願番号】特願平5-56410
 【国際特許分類第6版】

H03D 13/00

【F I】

H03D 13/00 A

【手続補正書】

【提出日】平成10年12月28日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正内容】

【請求項3】 第7のトランジスタのエミッタ端子が第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのエミッタ端子が第3の定電流源回路を介して低電位電源端子に接続され、第3のインピーダンス素子が第7、第8のトランジスタ間に接続されていることを特徴とする請求項2に記載のデータ信号位相比較回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図8は、一般に多く用いられている従来の位相比較回路であって、1、2は差動用信号の入力端子、3、4も差動用信号の入力端子、5、6は差動出力信号の出力端子、7は高電位電源端子、8は低電位電源端子、11～16はトランジスタ、21、22は抵抗、23は定電流回路である。本回路は、入力端子1、2間に加えられる信号と入力端子3、4間に加えられる信号の位相差を検出しその結果を出力端子5、6より得るのである。なお、R1、R2は抵抗、Vcc、Veeは電源電圧を示す。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】図9は、図8の従来回路の動作を説明するための回路シミュレーション結果であって、(a)～(c)の3つの特性図は各々横軸に時間(ns)、縦軸

に電圧(v)をとり各部の動作波形を示すものである。まず(a)図は、入力信号として同じ位相の2つの信号を入力した時の動作波形を示すもので、31、32は図8の入力端子1、2での電圧波形を示し、33a、34aは入力端子3、4での電圧波形を示し、35aは出力端子5、6間の差電圧の波形を示し、36aは波形35aの直流レベルを示すものである。(b)図は、入力信号として90度の位相差を持つ2つの信号を入力したときの動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33b、34bは入力端子3、4での電圧波形を示し、35bは出力端子5、6間の差電圧波形を示し、36bは波形35bの直流レベルを示すものである。(c)図は、入力信号として180度の位相差を持つ2つの信号を入力したときの動作波形を示すもので、31、32は入力端子1、2での電圧波形を示し、33c、34cは入力端子3、4での電圧波形を示し、35cは出力端子5、6間の差電圧波形を示し、36cは波形35cの直流レベルを示すものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】図9を用いて図8の従来回路の動作を説明する。図9の(a)図に示すように入力信号として同位相の信号が入力された場合(31と33a、32と34aが同相)、まず、図において入力端子1、3がハイの場合、トランジスタ11と12がオン状態となり抵抗21に電流が流れ出力端子5はローレベル、出力端子6はハイレベル状態となる。したがって、出力端子5から出力端子6の電圧を引いた差電圧は波形35aに示すようにローレベルとなる。この状態から、同時に入力端子1と3の電位がローレベルに遷移(同位相で変化)すると、トランジスタ13と16がオン状態となり、出力端子5はローレベル、出力端子6はハイレベル状態が維持されることになる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】さらに、第7のトランジスタのエミッタ端子が第2の定電流源回路を介して低電位電源端子に接続され、第8のトランジスタのエミッタ端子が第3の定電流源回路を介して低電位電源端子に接続され、第3のインピーダンス素子が第7、第8のトランジスタ間に接続されているものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】また、図8の従来回路とは、トランジスタ17、18と定電流回路24およびレベルシフト回路28、遅延回路25が付加されている点が具体的に異なり、本構成はトランジスタ11、12、13、14、15、16で構成される従来と同じの位相比較部Aと、トランジスタ11、12、13、14、17、18で構成される位相比較部Bの2つの位相比較部AとBを合成した構成としても捉えることができる。その動作は、図1の動作と同様に説明することができるが、2つの位相比較部A、Bの合成動作として図8の従来構成と対比して次のように説明することもできる。